

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-115155

(43)Date of publication of application : 04.09.1980

(51)Int.Cl.

G06F 15/06

G06F 9/46

G06F 15/18

(21)Application number : 54-022252

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 27.02.1979

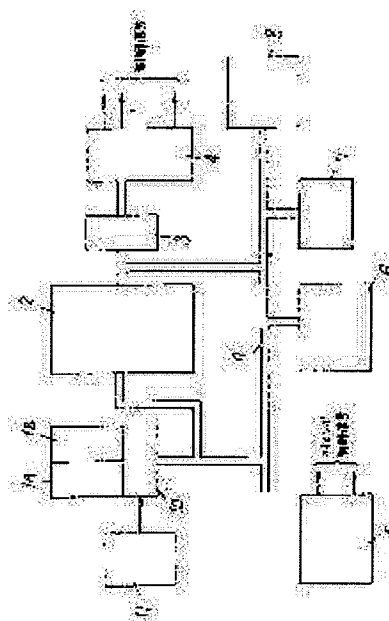
(72)Inventor : SAKAO TAKASHI

(54) ONE CHIP MULTI-MICROCOMPUTER

(57)Abstract:

PURPOSE: To constitute one chip multi-microcomputer simply on the semiconductor integrated circuit, by selecting a plurality sets of program status, enabling to execute a plurality of programs in the instruction memory.

CONSTITUTION: A plurality sets of program status PS1A, 1B respectively containing the stack pointer indicating the stack address, program counter indicating the address of executive instruction, internal flag including the operation flag in the control system and exclusive use register including the address register of the data memory 6, are provided. Further, the instruction memory 2 storing the program, instruction decoder 4 producing the control signal from the instruction word, data memory 6, arithmetic logical operation section 7, input and output circuit 8, internal data bus 9, PS selection circuit 10, and PS selection control circuit 11, are provided and one chip microcomputer is constituted so that control program is alternately executed by one instruction with the circuits 11 and 10 for PS1A, 1B.



⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-115155

⑥ Int. Cl.³
G 06 F 15/06
9/46
15/18

識別記号

庁内整理番号
7257-5B
6745-5B
7165-5B

⑬ 公開 昭和55年(1980)9月4日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 1 チップマルチマイクロコンピュータ

門真市大字門真1006番地松下電
器産業株式会社内

⑯ 特 願 昭54-22252

⑰ 出 願 人 松下電器産業株式会社

⑱ 出 願 昭54(1979)2月27日

門真市大字門真1006番地

⑲ 発 明 者 坂尾隆

⑳ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

1 チップマルチマイクロコンピュータ

2、特許請求の範囲

実行命令のアドレスを指示するプログラムカウンタ、スタックアドレスを指示するスタックポインタ、制御システム内の演算フラグを含む内部フラグ、およびデータメモリのアドレスレジスタを含む専用レジスタをそれぞれ含む複数組のプログラムステイタスを設け、プログラムを記憶するインストラクションメモリ、命令群より制御信号を生成する命令デコーダ、処理データの一時記憶に使用するデータメモリ、算術論理演算回路、入出力回路、および前記各構成要素間のデータ転送を行う内部データバスの全部あるいは少くとも一部を共用し、かつ前記複数組のプログラムステイタスから実行プログラムステイタスを選択するプログラムステイタス選択回路および前記プログラムステイタス選択回路を制御するプログラムステイタス制御回路を設け、前記複数組のプログラ

2、

ムステイタスを選択して、前記インストラクションメモリ内の複数個のプログラムを実行可能とすることを特徴とする1チップマルチマイクロコンピュータ。

3、発明の詳細な説明

本発明は半導体集積回路上に構成される1チップマイクロコンピュータに関するものである。

この種の1チップマイクロコンピュータは半導体集積回路上にコンピュータの全ての機能、即ち制御命令が記憶されているインストラクションメモリ、操作データを記憶するデータメモリ、外部との入出力を司る入出力回路部、処理データの演算を行う算術論理演算部、インストラクションメモリを順次解読することにより前記各部の制御を実行する命令デコード制御回路部、及び各構成要素へ同期したタイミングを供給するタイミング生成部を主構成要素とし、前記各部を有機的に結合した制御システムである。

従来の1チップマイクロコンピュータのブロック図を第1図に示す。

第1図において、1はプログラムステータス（以下PSと略記する）、2はインストラクションメモリ（以下ROMと略記する）、3はインストラクションレジスタ（以下IRと略記する）、4は命令デコーダ、5は各構成要素へ供給するタイミング制御信号を作成するタイミング生成回路、6はデータメモリ（以下RAMと略記する）、7は算術論理演算部（以下ALUと略記する）、8は入出力回路、9は前記各要素間のデータを転送する内部データバスである。

なおPS1は命令を記憶するROM2の番地を指示するプログラムカウンタ、RAM6中のスタック領域のアドレスを示すスタックポインタ、ALU7の演算によって得られる桁上り信号及び零検出信号をそれぞれ記憶する演算フラグを含む各種フラグ及びRAM6のアドレスレジスタとなるデータメモリアドレスレジスタを含む各種レジスタにより構成される。

次にこの1チップマイクロコンピュータの動作を簡単に説明する。

クロンピュータ部全体で処理をする、マルチマイクロコンピュータの構成をとることも考えられる。しかしマルチマイクロコンピュータの構成をとればマイクロコンピュータ数の増加によるコストアップ及びマルチマイクロコンピュータ構成が持つ制御の複雑さ、例えば相互のデータ転送方法やプロセス間のデッドロックの問題等が発生する。

本発明は上述した問題を解決するもので、以下にその実施例とともに説明する。第2図において、第1図のコンピュータと異なるのはPS1に代えPS1A、1B、PS選択回路10及びPS切換制御回路11で構成したところにある。なおPS1A及びPS1Bはそれぞれ第1図におけるPS1に相当するもので、2番のプログラムステータスを有することになる。またPS選択回路10はプログラムステータスPS1A、PS1BをPS切換制御回路11よりの制御信号によって選択する。

次にこの1チップマイクロコンピュータの動作を説明する。プログラムステータスPS1A、

PS1中のプログラムカウンタによって指示されるROM2中の命令語はIR3に脱出される。IR3に登録された内容は命令デコーダ4によって解読され、構成要素各部の制御信号を生成する。命令デコーダ4によって得られる制御信号によって、プログラムカウンタの修飾、ALU7によるデータの演算加工、及び入出力回路8を介する入出力動作を行う。

上述した1チップマイクロコンピュータはリアルタイム制御を強く必要としない単一の流れからなる制御には適しており、半導体技術の発展によって非常に低価格であることと相俟って、多量に使用されている。しかし複数の仕事をリアルタイムで処理する必要がある場合に従来の1チップマイクロコンピュータを使用すれば割込処理機能を設けても非常に複雑なプログラム制御が必要となる。

また、複数個の1チップマイクロコンピュータに仕事を分割し、それらを有機的に結合し、各マイクロコンピュータ間のデータ転送を行い、マイ

PS1BはPS切換制御回路11及びPS選択回路10によって第3図に示すように一命令つつ交互に制御プログラムを実行する。即ちプログラムステータスのみ専有し、ROM2、RAM6、入出力回路8、ALU7及び内部バス9等の全ての資源を共有するマルチプロセッサシステムを構成することになる。

したがって、この1チップマイクロコンピュータにおいて、相互に関連する2つの仕事をさせるプログラムとしては、それぞれの相互に関連しない仕事に対する独立なプログラムを作り、各仕事間の相互に関連するデータの引渡しのためにRAM6を介して互いにデータを転送するプログラムを付加したものとなる。

また、2つ以上の仕事に対しても、その仕事を2つのプログラムに分割して実行すればよく、単一のプログラム列に記述するよりも、はるかに簡単となる。

また、第2図におけるプログラムステータスの実行は必ずしも第3図に示すように交互に行う必

要はなく、第4図に示すようにウェイト命令によってP S 1 Bの実行を一時停止し、P S 1 Bに対する割込み要求によって、再びP S 1 Bの実行を再開するようにしてもよい。この場合、P S 1 Aの実行を連続で可能であり、処理速度の向上が図れる。

またP S 1 A及びP S 1 Bそれぞれの命令フェッチ、デコードタイミングと実行タイミングを第5図に示すようにクロスして設定すれば、第2図に示した1チップマイクロコンピュータの命令実行速度は改善される。なお第5図に示したようなサイクル制御を行うためには、第2図の命令デコード4の出力に、P S 1 A及びP S 1 Bの各実行サイクル間、一時データを保持するためのラッチを設ければよい。

以上に述べたように1チップマイクロコンピュータを構成すればROM 2中に納められるプログラムの一部共用も容易となり、ROM容量は減少する。

第6図はROM 2の分割使用例を示すもので、

ROM 2の領域は、P S 1 A専用プログラム領域RA、P S 1 B専用プログラム領域RB、P S 1 A、P S 1 B共用プログラム領域RCに分割される。またP S 1 A専用プログラム領域RA及びP S 1 B専用プログラム領域RBには、それぞれP S 1 Aプログラム開始アドレスAD1、P S 1 Bプログラム開始アドレスAD2が存在する。即ち1チップマイクロコンピュータの初期スタート時にはP S 1 A、P S 1 B中のそれぞれのプログラムカウンタはP S 1 Aプログラム開始アドレス、P S 1 B開始アドレスにセットされプログラム実行を開始する。P S 1 A及びP S 1 BのそれぞれのプログラムカウンタがROM 2の全領域をアクセス可能ならば、各プログラムサイズは自由に設定可能である。またRAM 6も共用するため、2つのプログラム間のデータ交換も容易となる。さらに全ての入出力回路5も共用することによって、2つのプログラムで対等に外部接続機器の制御可能であり、制御プログラムの作成は容易になる。

なお、以上の説明では、プログラムステータス

P Sの数が2つの場合で説明したが、この数を増すことは容易に可能である。また実施例ではP S以外の全ての資源を共用する構成について述べたが、資源の一部を共用するシステムも容易に考えられる。

上記実施例より明らかなように本発明によれば半導体集積回路上に1チップサイズの増加をそれほど伴わずに1チップマルチマイクロコンピュータの構成が可能になる。

4、図面の簡単な説明

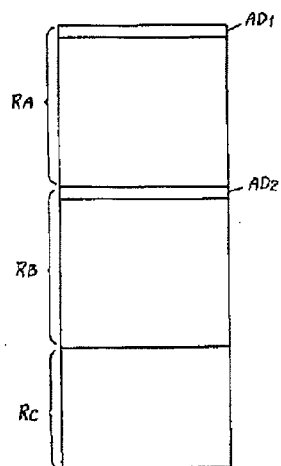
第1図は従来の1チップマイクロコンピュータのブロック図、第2図は本発明による1チップマイクロコンピュータのブロック図、第3図および第4図はその1チップマイクロコンピュータの実行遷移図、第5図は他の使用状態における実行遷移図、第6図はROMの分割使用例を示す図である。

1 A、1 B……プログラムステータス、2……インストラクションメモリ、3……データメモリ、7……算術論理演算部、8……入出力回路、9……

内部データベース、10……P S選択回路、11……P S切換制御回路。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 6 図



特許法第17条の2の規定による補正の掲載

昭和 54 年特許願第 22252 号(特開昭
55-115155 号 昭和 55 年 9 月 4 日
発行 公開特許公報 55-1152 号掲載)につ
いては特許法第17条の2の規定による補正があっ
たので下記のとおり掲載する。 6(3)

| Int. Cl. | 識別記号 | 序内整理番号 |
|------------|------|---------|
| G06F 15/06 | | 7343-5B |
| 9/46 | | 7218-5B |
| 15/18 | | 6619-5B |

2、特許請求の範囲

(1) 実行命令のアドレスを指示するプログラムカウンタ、スタックアドレスを指示するスタックポインタ、制御システム内の演算フラグを含む内部フラグ、およびデータメモリのアドレスレジスタを含む専用レジスタをそれぞれ含む複数組のプログラムステイタスを設け、プログラムを記憶するインストラクションメモリ、命令語より制御信号を生成する命令デコーダ、処理データの一時記憶に使用するデータメモリ、算術論理演算回路、入出力回路、および前記各構成要素間のデータ転送を行う内部データバスの全部あるいは少くとも一部を共用し、かつ前記複数組のプログラムステイタスから実行プログラムステイタスを選択するプログラムステイタス選択回路および前記プログラムステイタス選択回路を制御するプログラムステイタス制御回路を設け、前記複数組のプログラムステイタスを選択して、前記インストラクションメモリ内の複数個のプログラムを実行可能とすることを特徴とする1チップマルチマイクロコン

手続補正書

昭和 58 年 11 月 / / 日

特許庁長官殿

1 事件の表示

昭和 54 年 特 許 願 第 22252 号

2 発明の名称

1 チップマルチマイクロコンピュータ

3 補正をする者

事件との関係 特 許 出 願 人
住 所 大阪府門真市大字門真1006番地
名 称 (582) 松下電器産業株式会社
代 表 者 山 下 俊 彦

4 代 理 人

〒 571

住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏 名 (5971) 弁理士 中 尾 敏 男
(ほか1名)

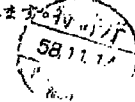
(連絡先: 電話(東京)437-1121 東京法務分室)

5 補 正 の 対 象

明細書の特許請求の範囲の欄

6 補 正 の 内 容

別紙の通り補正いたします

方式
審査

ピュータ。

(2) プログラムステイタス制御回路が、任意のプログラムステイタスの実行停止及び実行再開させる制御手段を有する特許請求の範囲第1項記載の1チップマルチマイクロコンピュータ。